

Die Erfindung betrifft einen Phasenregelkreis, der beispielsweise im Mobilfunk einsetzbar ist.

Der Phasenregelkreis, im folgenden auch als PLL bezeichnet, ist insbesondere bei TDMA-Mobilfunksystemen (Time Division Multiple Access) wie beispielsweise GSM (Groupe Speciale Mobile, Global System for Mobile Communication) im Multislotbetrieb anwendbar. Beim Time Division Multiple Access handelt es sich um ein Verfahren zum organisierten Zugriff auf ein Kommunikationsmedium. Die Grundidee liegt dabei in einer gleichmäßigen Aufteilung der zur Verfügung stehenden Bandbreite auf die einzelnen Teilnehmer. Es gibt einen Zeitrahmen, der bei mehreren Teilnehmern in gleich große Zeitscheiben (Time Slots) unterteilt wird, wobei jedem Teilnehmer eine Zeitscheibe zugeordnet wird. Dabei sind Einschwingzeiten gefordert, die kleiner als 250 μ s sind. Mit einem gewöhnlichen Integer-N-Phasenregelkreis ist eine derartig kurze Einschwingzeit jedoch kaum zu erreichen.

Aus dem Stand der Technik US 5,694,089 ist ein PLL-Frequenzsynthesizer bekannt. Der Synthesizer weist einen Referenzteiler zum Teilen des Referenzsignals auf. Weiterhin weist er einen RF-Signalteiler auf, der das Ausgangssignal eines spannungsgesteuerten Oszillators teilt. Wenn die Frequenz geändert wird, ändert sich zuerst der Teilerwert des RF-Signaltellers periodisch um einen im Mittel gebrochenen Teilerwert. Wenn sich die Frequenz annähernd umgestellt hat, wird der RF-Signalteiler in den Betriebsmodus eines konventionellen Integer-N-Teilers gebracht. Hierfür kann die Frequenz in Fractional-Betriebsmodus schnell umgestellt werden. Der RF-Signalteiler wird somit – je nach Betriebsmodus – mit verschiedenen Teilerwerten geladen. Dies hat jedoch den Nachteil, daß der Einschwingvorgang, dadurch, daß in den RF-Signalteiler neue Teilerwerte geladen werden müssen, verlangsamt wird.

Eine Aufgabe der Erfindung ist es, einen Phasenregelkreis anzugeben, bei dem die Einschwingdauer sehr kurz und der Störsignalannteil gering ist.

Die Aufgabe wird durch einen Phasenregelkreis mit den in Patentanspruch 1 angegebenen Merkmalen gelöst.

Weitere vorteilhafte Ausgestaltungen des erfindungsgemäßen Phasenregelkreises sind in den abhängigen Patentansprüchen angegeben.

Der erfindungsgemäße Phasenregelkreis weist einen spannungsgesteuerten Oszillator auf, der ein Oszillatorsignal erzeugt. Weiterhin ist ein erster Frequenzteiler vorgesehen, der die Frequenz des Oszillatorsignals teilt, daraus ein erstes Teiler Ausgangssignal erzeugt und während der Einschwingdauer des Phasenregelkreises auf einen Phasenvergleich führt. Zusätzlich ist eine Einheit vorgesehen, die nach der Einschwingdauer des Phasenregelkreises die Frequenz des ersten Teiler Ausgangssignals teilt und dieses zweite Teiler Ausgangssignal auf den Phasenvergleich führt. Der Phasenvergleich vergleicht während der Einschwingdauer des Phasenregelkreises das erste Teiler Ausgangssignal mit einem ersten Referenzsignal und nach der Einschwingdauer des Phasenregelkreises das zweite Teiler Ausgangssignal mit einem zweiten Referenzsignal. Der Phasenvergleich ist ausgangsseitig mit einer steuerbaren Ladungspumpe verbunden. Diese wiederum ist ausgangsseitig mit dem spannungsgesteuerten Oszillator verbunden.

In einer vorteilhaften Ausführungsform der Erfindung weist die Einheit des Phasenregelkreises einen zweiten Teiler auf und einen ersten Multiplexer mit zwei Eingängen und einem Ausgang auf. Der Ausgang des ersten Teilers ist mit dem ersten Eingang des ersten Multiplexers und der Ausgang des zweiten Teilers mit dem zweiten Eingang des Multiplexers verbunden.

In einer weiteren vorteilhaften Ausführungsform sind ein dritter und ein vierter Frequenzteiler vorgesehen, die aus einem von einem Referenzoszillator stammenden Referenzoszillatorsignal das erste und das zweite Referenzsignal erzeugen.

Vorteilhafterweise kann ein zweiter Multiplexer vorgesehen sein, der das erste oder das zweite Referenzsignal auf den Phasenvergleich führt.

Bei einer weiteren vorteilhaften Ausgestaltungsform der Erfindung ist der dritte Frequenzteiler mit dem ersten Eingang des zweiten Multiplexers verbunden, und der vierte Frequenzteiler ist mit dem zweiten Eingang des zweiten Multiplexers verbunden.

Vorteilhafterweise ist zwischen die Ladungspumpe und den spannungsgesteuerten Oszillator ein Filter geschaltet. Dadurch können störende Signalanteile unterdrückt werden.

Das Filter kann ein Tiefpaßfilter sein.

Vorteilhafterweise ist eine Steuereinheit vorgesehen, die die Multiplexer steuert.

Zusätzlich kann die Steuereinheit Parameter für die Ladungspumpe und das Filter vorgeben. In einer weiteren Ausgestaltungsform der Erfindung weist die Einheit des Phasenregelkreises eine erste Austasterschaltung zur Austastung des vom ersten Frequenzteiler stammenden Signals und eine Ausblendlogik auf, wobei die Ausblendlogik die erste Austasterschaltung steuert.

Die Austasterschaltung kann ein UND-Gatter sein, dessen erster Eingang mit dem Ausgang des ersten Frequenzteilers und dessen zweiter Eingang mit dem Ausgang der Ausblendlogik verbunden ist. Der Ausgang der Austasterschaltung ist mit dem Phasenvergleich verbunden.

Eine zweite Austasterschaltung kann zur Austastung des Referenzsignals vorgesehen sein. Die Ausblendlogik steuert dabei die zweite Austasterschaltung.

Die Steuereinheit und das Referenzsignal können zusammen die Ausblendlogik steuern.

Schließlich ist es auch von Vorteil, daß der erste Frequenzteiler mit einem Akkumulator verbunden ist und abhängig vom im Akkumulator stehenden Wert die Frequenz durch einen ersten oder einen zweiten Wert teilt.

Die Erfindung wird im folgenden anhand zweier Figuren weiter erläutert.

Fig. 1 zeigt eine erste Ausführungsform des erfindungsgemäßen Phasenregelkreises.

Fig. 2 zeigt eine zweite erfindungsgemäße Ausführungsform des Phasenregelkreises.

Der Phasenregelkreis weist einen spannungsgesteuerten Oszillator VCO auf, der ein Oszillatorsignal mit der Frequenz fVCO erzeugt. Dieses Oszillatorsignal wird einem ersten Frequenzteiler FT1 zugeführt, der die Frequenz fVCO durch den Teilerwert TW teilt. Der Teilerwert TW wird, wie im in Fig. 1 gezeigten Ausführungsbeispiel, über eine 14 Bit breite Leitung in den ersten Frequenzteiler FT1 geladen. Der Teilerwert TW wird in der Regel bei der Initialisierung des Pha-

senregelkreises in den ersten Frequenzteiler FT1 geladen und bleibt dann unabhängig vom Betriebszustand des Phasenregelkreises, also auch nach der Einschwingdauer des Phasenregelkreises bestehen. Lediglich wenn der Phasenregelkreis bei einer neuen Frequenz einrasten soll, wird der erste Frequenzteiler FT1 mit einem entsprechenden neuen Teilerwert TW geladen. Der erste Frequenzteiler FT1 ist mit einem Akkumulator accu, in dem ein Akkumulatorwert A gespeichert ist, verbunden. Im vorliegenden Ausführungsbeispiel ist der erste Frequenzteiler FT1 ein $N/N + 1$ -Zähler, der abhängig vom im Akkumulator accu gespeicherten Akkumulatorwert A entweder bis N oder bis $N + 1$ zählt. 5

Sobald der $N/N + 1$ -Zähler den Wert N oder den Wert $N + 1$ erreicht, liegt am Ausgang des $N/N + 1$ -Zählers ein Signal an, das unter anderem auch auf den Eingang des Akkumulators accu geführt wird. Bei dem am Ausgang des $N/N + 1$ -Zählers anliegenden Signal handelt es sich um ein digitales Signal. Sobald die Anzahl der Pegelwechsel des digitalen Signals dem im Akkumulator accu gespeicherten Akkumulatorwert A entsprechen, liefert der Akkumulator accu ein Steuersignal an den $N/N + 1$ -Zähler, der dann, wenn er bisher bis N gezählt hat, bis $N + 1$ zählt und wenn er bisher bis $N + 1$ gezählt hat, dann bis N zählt. 10

Das Ausgangssignal des ersten Frequenzteilers FT1 wird direkt dem Eingang eines ersten Multiplexers MUX1 und über einen zweiten Frequenzteiler FT2 den zweiten Eingang des Multiplexers MUX1 zugeführt. Somit liegt am ersten Eingang des ersten Multiplexers MUX1 ein Signal mit der Frequenz: 15

$$f_{1MUX1} = \frac{f_{VCO}}{N} \quad \text{oder} \quad \frac{f_{VCO}}{N+1}$$

an. Am zweiten Eingang des ersten Multiplexers MUX1 liegt dann ein Signal mit der Frequenz: 20

$$f_{2MUX1} = \frac{f_{VCO}}{N \cdot TW2} \quad \text{oder} \quad \frac{f_{VCO}}{(N+1) \cdot TW2}$$

an, wobei TW2 der im zweiten Frequenzteiler FT2 geladene Teilerwert ist. 25

Bei dem in Fig. 1 gezeigten Ausführungsbeispiel beträgt der Teilerwert TW2 = 5. Der Ausgang des ersten Multiplexers MUX1 führt auf einen Phasendetektor PFD, der im folgenden auch als Phasenvergleichler bezeichnet wird.

Ein von einem Referenzoszillator stammendes Referenzoszillatorsignal mit der Referenzfrequenz f_{Ref} wird mittels eines dritten Frequenzteilers FT3 durch den Teilerwert TWR geteilt. Der Teilerwert TWR wird dem dritten Frequenzteiler FT3 über eine 7 Bit breite Leitung zugeführt. Im vorliegenden Ausführungsbeispiel ist der dritte Frequenzteiler FT3 durch einen bis zum Teilerwert TWR zählenden Zähler realisiert. Am Ausgang des dritten Frequenzteilers FT3 liegt dann das durch den Teilerwert TWR geteilte Referenzoszillatorsignal mit der Frequenz: 30

$$f_{1MUX2} = \frac{f_{Ref}}{TWR}$$

an, welches auf den ersten Eingang eines zweiten Multiplexers MUX geführt wird. Dieses frequenzgeteilte Signal wird zusätzlich mittels eines vierten Frequenzteilers FT4 geteilt und auf den zweiten Eingang des zweiten Multiplexers MUX2 geführt. Der vierte Frequenzteiler FT4 ist im vorliegenden Ausführungsbeispiel durch einen Teiler mit dem Teilerwert = 5 realisiert. Der Ausgang des zweiten Multiplexers MUX2 ist mit dem zweiten Eingang des Phasendetektor PFD verbunden. 40

Eine Kontrolllogik CL steuert die beiden Multiplexer MUX1 und MUX2, so daß während der Einschwingphase des Phasenregelkreises das durch den Teilerwert TWR geteilte Referenzoszillatorsignal mit der Frequenz:

$$f_{1MUX2} = \frac{f_{Ref}}{TWR}$$

mit dem durch den Teilerwert TW geteilten Oszillatorsignal mit der Frequenz:

$$f_{1MUX1} = \frac{f_{VCO}}{N} \quad \text{beziehungsweise} \quad f_{1MUX1} = \frac{f_{VCO}}{N+1}$$

verglichen wird. Liegt keine Phasendifferenz mehr zwischen den beiden Signalen vor oder liegt die Phasendifferenz unterhalb eines vorgegebenen Wertes, wird durch ein entsprechendes Ausgangssignal am Phasendetektor PFD der Kontrolllogik CL über eine Umschaltsteuerung US mitgeteilt, daß der eingeschwungene Zustand erreicht ist und der Phasenregelkreis nun mit den niedrigeren Frequenzen: 55

$$f_{2MUX2} = \frac{f_{Ref}}{TW \cdot 5} \quad \text{und} \quad f_{2MUX1} = \frac{f_{VCO}}{TW \cdot 5}$$

betrieben werden soll. Das heißt, daß der Phasenvergleichler PFD nun diese niedrigeren Frequenzen miteinander vergleicht. Die Regeldifferenz zwischen den beiden an den Eingängen des Phasendetektors PFD anliegenden Frequenzen dient zur Steuerung einer Ladungspumpe CP, die einen Ausgangsstrom erzeugt, welcher über ein Schleifenfilter LF den spannungsgesteuerten Oszillator VCO ansteuert. 60

Die Kontrolllogik CL ist ausgangsseitig mit der Ladungspumpe CP und dem Schleifenfilter LF verbunden. Über dieses Steuerleitungen können von der Steuereinheit CL zusätzlich Parameter für die Ladungspumpe CP und das Schleifenfilter LF vorgegeben werden. 65

Dadurch, daß im Einschwingzustand des Phasenregelkreises hohe Frequenzen miteinander verglichen werden, kann

der Regelkreis schneller einschwingen. Um jedoch Seitenlinien im Spektrum des Oszillatorsignals (Spurious) zu vermeiden, wird nach dem Einschwingen auf den Vergleich von Frequenzen, welche zusätzlich durch den zweiten Frequenzteiler FT2 beziehungsweise den vierten Frequenzteiler FT4 geteilt sind, zurückgegriffen. Dadurch sind Störungen im eingeschwungenen Zustand vermeidbar. Der Umschaltvorgang wird über die Kontrolllogik CL gesteuert, welche die entsprechenden Steuersignale an die beiden Multiplexer MUX1 und MUX2 sendet.

Während des Einschwingvorgangs arbeitet der erfindungsgemäße Phasenregelkreis im Fractional-N-Modus und im eingeschwungenen Zustand im Integer-N-Modus.

Zur Optimierung der Filterparameter des Schleifenfilters LF und der Ladungspumpenparameter der Ladungspumpe CP können von der Kontrolllogik CL entsprechende Steuersignale an die Ladungspumpe CP und das Schleifenfilter LF gesendet werden. So kann beispielsweise während des Einschwingvorgangs für das Schleifenfilter LF eine andere Grenzfrequenz erforderlich sein als im eingeschwungenen Zustand.

Der dritte Frequenzteiler FT3 kann beispielsweise ein Abwärtszähler sein. Das gleiche gilt für den ersten Frequenzteiler FT1.

Die Teilerwerte der vier Frequenzteiler FT1, FT2, FT3 und FT4 sind so einzustellen, daß an den Eingängen des Phasendetektors PFD jeweils annähernd gleiche Frequenzen miteinander verglichen werden können.

Der Teilerzyklus des ersten Frequenzteilers FT1, der angibt, wie oft durch N und wie oft durch $N + 1$ geteilt wird, wiederholt sich abhängig vom Akkumulatorwert A. Da der erste Frequenzteiler FT1 grundsätzlich nur durch einen ganzzahligen Teilerwert TW teilen kann, wird durch den Akkumulator accu periodisch zwischen den Teilerwerten und N und $N + 1$ umgeschaltet, so daß über eine bestimmte Zeitdauer im Mittel durch einen zwischen N und $N + 1$ liegenden Teilerwert geteilt wird, was einem gebrochenen Teilverhältnis entspricht. Durch den Teilerwert TW wird der Wert N festgelegt.

Die PLL arbeitet auf einer durch die Frequenzteiler FT1, FT2, FT3 und FT4 vorgegebenen Frequenz.

Wird eine neue Frequenz eingestellt, in dem die Teilerwerte TW und TWR geändert und in den ersten Frequenzteiler FT1 beziehungsweise den dritten Frequenzteiler FT3 geladen werden, folgt ein Einschwingvorgang, innerhalb welchem größere Phasenfehler entstehen. Diese Phasenfehler werden in der Umschaltsteuerung US erkannt und an die Kontrolllogik CL weitergeleitet. Die Kontrolllogik CL schaltet nun die beiden Multiplexer MUX1 und MUX2 derart, daß die beiden höherfrequenten geteilten Signale, welche also nicht zusätzlich durch den zweiten Frequenzteiler FT2 beziehungsweise den vierten Frequenzteiler FT4 geteilt wurden, auf den Phasendetektor PFD geführt werden. Somit erhöht sich die Vergleichsfrequenz am Phasendetektor PFD um den in den beiden Frequenzteilern FT2 beziehungsweise FT4 geladenen Teilerwert, im vorliegenden Ausführungsbeispiel um den Faktor 5. Es werden also pro Zeiteinheit fünfmal mehr Phasenvergleiche durchgeführt. Durch diese Maßnahme kann das Einschwingen beschleunigt werden. Zusätzlich kann in diesem Betriebsmodus der Strom für die Ladungspumpe CP und das Schleifenfilter LF entsprechend über die Kontrolllogik CL eingestellt werden. Durch diese Maßnahmen kann ein schnelles Einschwingen auf die neue Sollfrequenz bei einer stabilen Phasenregelung gewährleistet werden.

Um die in diesem Betriebsmodus auftretenden Phasensprünge, bedingt durch die Umschaltung zwischen den Werten N und $N + 1$, zu vermeiden, was mit Störungen verbunden ist, wird nach dem Einschwingen die Vergleichsfrequenz um den Faktor 5 reduziert. Der Faktor, um den die Vergleichsfrequenz reduziert wird, hängt von äußeren Randbedingungen ab und ist auf die jeweiligen Bedürfnisse abzustimmen.

Ist der Phasenregelkreis auf den neuen Sollwert der Frequenz eingeschwungen, wird dies über den Phasendetektor PFD der Umschaltsteuerung US und damit der Kontrolllogik CL mitgeteilt. Liegt der Phasenfehler unterhalb einem eingestellten Wert, so werden die beiden Multiplexer MUX1 und MUX2 umgeschaltet und die Signale des ersten Frequenzteilers FT1 und des dritten Frequenzteilers FT3 wieder durch 5 geteilt, der Strom der Ladungspumpe CP wieder zurückgesetzt und das Schleifenfilter LF wieder umgeschaltet.

In Fig. 2 ist eine zweite Ausführungsform des erfindungsgemäßen Phasenregelkreises gezeigt. Die Komponenten Phasendetektor PFD, Umschaltsteuerung US, Kontrolllogik CL, Ladungspumpe CP, Schleifenfilter LF und spannungsgesteuerter Oszillator VCO entsprechen den in Fig. 1 gezeigten Komponenten. Auch der erste Frequenzteiler FT1, der dritte Frequenzteiler FT3 und Akkumulator accu in Fig. 2 entsprechen den in Fig. 1 gezeigten Frequenzteilern FT1 und FT3 sowie Akkumulator accu.

In Fig. 2 ist der Ausgang des ersten Frequenzteilers FT1 sowohl mit dem Akkumulator accu als auch mit einer ersten Austastschaltung AS1 verbunden. Die erste Austastschaltung AS1 wird über eine Ausblendlogik AL gesteuert, welche wiederum über die Kontrolllogik CL in Verbindung mit dem dritten Frequenzteiler FT3 angesteuert wird. Der dritte Frequenzteiler FT3 ist mit dem Eingang einer zweiten Austastschaltung AS2 verbunden, welche ihrerseits ausgangsseitig mit dem Phasendetektor PFD verbunden ist. Die beiden Austastschaltungen AS1 und AS2 können beispielsweise UND-Gatter sein. Über die Ausblendlogik AL in Verbindung mit den beiden Austastschaltungen AS1 und AS2 wird gesteuert, welche Signalanteile des Ausgangssignals des ersten Frequenzteilers FT1 beziehungsweise welche Signalanteile des dritten Frequenzteilers FT3 an den Phasendetektor PFD gelangen. Durch eine gezielte Unterdrückung bestimmter Signalanteile der Ausgangssignale des ersten Frequenzteilers FT1 beziehungsweise des dritten Frequenzteilers FT3 können Signale mit reduzierter Frequenz dem Phasendetektor PFD zugeführt werden.

Die Austastschaltungen AS1 und AS2 sind Torschaltungen, die zwischen die Ausgänge der Teiler FT1 beziehungsweise FT3 und die Phasendetektoreingänge geschaltet sind. Nur jeder nte Impuls wird damit auf den Phasendetektor PFD geleitet. Bei einem Fractional Modus von 5, wie bei GSM, wird also nur jeder fünfte Impuls dem Phasendetektor PFD zugeführt. Die Austastschaltungen AS1 und AS2 arbeiten prinzipiell so wie in Fig. 1 die beiden Frequenzteiler FT2 und FT4 in Verbindung mit den beiden Multiplexern MUX1 und MUX2. Die Steuerung der beiden Austastschaltungen AS1 und AS2 wird von einem Teiler übernommen, der die beiden Austastschaltungen AS1 und AS2 zu bestimmten Zeitpunkten für einen oder mehrere Impulse öffnet. Im Fractional-N-Mode sind die beiden Austastschaltungen AS1 und AS2 nicht aktiv. Jeder Zählimpuls aus dem ersten Frequenzteiler FT1 und dem dritten Frequenzteiler FT3 wird auf den Phasendetektor PFD geleitet. Nachdem in den Integer-N-Betrieb umgeschaltet worden ist, werden die erste und die zweite Austastschaltung AS1 und AS2 aktiviert und nur noch jeder nte Impuls ($n = 2 \dots 16$ oder auch höher) auf den Phasendetektor PFD geschaltet. Damit erhöhen sich die Teilverhältnisse des ersten Frequenzteilers FT1 und des dritten Fre-

quenzteilers FT3 um den Faktor n.

Vorteilhafterweise benötigt die in Fig. 2 gezeigte Ausführungsform neben dem ersten Frequenzteiler FT1 und dem dritten Frequenzteiler FT3 nur mehr einen weiteren Teiler. Dieser Teiler ist Bestandteil der Ausblendlogik AL. Bei bestimmten Lösungen des Fractional-N-Betriebs kann dazu ein schon vorhandener Modulus-Zähler verwendet werden.

Patentansprüche

1. Phasenregelkreis,
bei dem ein spannungsgesteuerter Oszillator (VCO) vorgesehen ist, der ein Oszillatorsignal erzeugt,
bei dem ein erster Frequenzteiler (FT1) vorgesehen ist, der die Frequenz (FVCO) des Oszillatorsignals teilt, daraus ein erstes Teiler Ausgangssignal erzeugt und während der Einschwingdauer des Phasenregelkreises auf einen Phasenvergleicher (PFD) führt,
bei dem eine Einheit (FT2, MUX1, FT4, MUX2; AS1, AS2, AL) vorgesehen ist, die nach der Einschwingdauer des Phasenregelkreises die Frequenz des ersten Teiler Ausgangssignals teilt und auf den Phasenvergleicher (PFD) führt,
bei dem der Phasenvergleicher (PFD) während der Einschwingdauer des Phasenregelkreises das erste Teiler Ausgangssignal mit einem ersten Referenzsignal vergleicht und nach der Einschwingdauer des Phasenregelkreises das geteilte Teiler Ausgangssignal mit einem zweiten Referenzsignal vergleicht,
bei dem der Phasenvergleicher (PFD) ausgangsseitig mit einer steuerbaren Ladungspumpe (CP) verbunden ist,
bei dem die Ladungspumpe (CP) ausgangsseitig mit dem spannungsgesteuerten Oszillator (VCO) verbunden ist.
2. Phasenregelkreis nach Anspruch 1,
bei dem die Einheit einen zweiten Teiler (FT2) und einen ersten Multiplexer (MUX1) mit zwei Eingängen und einem Ausgang aufweist,
bei dem der Ausgang des ersten Teilers (FT1) mit dem ersten Eingang des ersten Multiplexers (MUX1) und der Ausgang des zweiten Teilers (FT2) mit dem zweiten Eingang des ersten Multiplexers (MUX1) verbunden ist.
3. Phasenregelkreis nach Anspruch 1 oder 2, bei dem ein dritter und ein vierter Frequenzteiler (FT3, FT4) vorgesehen sind, die aus einem von einem Referenzoszillator stammenden Referenzoszillatorsignal das erste und das zweite Referenzsignal erzeugen.
4. Phasenregelkreis nach einem der Ansprüche 1 bis 3, bei dem ein zweiter Multiplexer (MUX2) vorgesehen ist, der das erste oder das zweite Referenzsignal auf den Phasenvergleicher (PFD) führt.
5. Phasenregelkreis nach einem der Ansprüche 1 bis 4, bei dem der dritte Frequenzteiler (FT3) mit dem ersten Eingang des zweiten Multiplexers (MUX2) und über den vierten Frequenzteiler (FT4) mit dem zweiten Eingang des Multiplexers (MUX2) verbunden ist.
6. Phasenregelkreis nach einem der Ansprüche 1 bis 5, bei dem zwischen die Ladungspumpe (CP) und den spannungsgesteuerten Oszillator ein Filter (LF) geschaltet ist.
7. Phasenregelkreis nach Anspruch 6, bei dem das Filter (LF) ein Tiefpaßfilter ist.
8. Phasenregelkreis nach einem der Ansprüche 1 bis 7, bei dem eine Steuereinheit vorgesehen ist, die den Multiplexer (MUX1, MUX2) steuert.
9. Phasenregelkreis nach Anspruch 8, bei dem die Steuereinheit zusätzlich Parameter der Ladungspumpe (CP) und des Filters (LF) vorgibt.
10. Phasenregelkreis nach Anspruch 1,
bei dem die Einheit eine erste Austastschaltung (AS1) zur Austastung des vom ersten Frequenzteiler (FT1) stammenden Signals und eine Ausblendlogik (AL) aufweist,
bei dem die Ausblendlogik (AL) die erste Austastschaltung (AS1) steuert.
11. Phasenregelkreis nach Anspruch 10, bei dem die Austastschaltung (AS1) ein UND-Gatter ist, dessen erster Eingang mit dem Ausgang des ersten Frequenzteilers (FT1), dessen zweiter Eingang mit dem Ausgang der Ausblendlogik (AS1) und dessen Ausgang mit dem Phasenvergleicher (PFD) verbunden ist.
12. Phasenregelkreis nach Anspruch 10 oder 11,
bei dem eine zweite Austastschaltung (AS2) zur Austastung des Referenzsignals vorgesehen ist,
bei dem die Ausblendlogik (AL) die zweite Austastschaltung (AS2) steuert.
13. Phasenregelkreis nach Anspruch 12, bei dem die Steuereinheit (CL) und das Referenzsignal zusammen die Ausblendlogik (AL) steuern.
14. Phasenregelkreis nach einem der Ansprüche 1 bis 13, bei dem der erste Frequenzteiler (FT1) mit einem Akkumulator (accu) verbunden ist und abhängig vom im Akkumulator (accu) stehenden Wert (A) die Frequenz durch einen ersten oder einen zweiten Wert (N , $N + 1$) teilt.

Hierzu 2 Seite(n) Zeichnungen

- Leerseite -



